

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

RS

2
JCS93 U.S. PTO
09/664542
09/18/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月 9日

出願番号
Application Number:

特願2000-031746

出願人
Applicant(s):

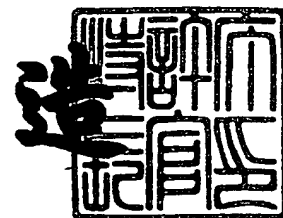
富士通株式会社
富士通ヴィエルエスアイ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 7月28日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3059543

【書類名】 特許願

【整理番号】 9941019

【提出日】 平成12年 2月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 12/00
G06F 3/05

【発明の名称】 データ入出力システム

【請求項の数】 5

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエスアイ株式会社内

【氏名】 田中 正博

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100068755

【住所又は居所】 岐阜市大宮町 2 丁目 1 2 番地の 1

【弁理士】

【氏名又は名称】 恩田 博宣

【電話番号】 058-265-1810

【選任した代理人】

【識別番号】 100105957

【住所又は居所】 東京都渋谷区代々木二丁目 1 0 番 4 号 新宿辻ビル 8 階

【弁理士】

【氏名又は名称】 恩田 誠

【電話番号】 03-5365-3057

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9909792

【包括委任状番号】 9909791

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ入出力システム

【特許請求の範囲】

【請求項 1】 アドレスバスに接続され、該アドレスバスを介して入力される信号に基づいて選択又は非選択され、選択時にデータバスからのデータを記憶する第 1 のレジスタと、

前記第 1 のレジスタの記憶データがアドレス信号として入力され、該アドレス信号に基づくデータの入出力を前記データバスとの間で行うメモリと、
を備えたことを特徴とするデータ入出力システム。

【請求項 2】 請求項 1 に記載のデータ入出力システムにおいて、

前記メモリと前記データバスとの間に接続され、前記アドレスバスを介して入力される信号に基づいて選択又は非選択され、選択時に前記データバス又は前記メモリからのデータを記憶する第 2 のレジスタを備えたことを特徴とするデータ入出力システム。

【請求項 3】 請求項 1 に記載のデータ入出力システムにおいて、

前記アドレスバスに接続され、該アドレスバスを介して入力される信号に基づいて選択又は非選択され、選択時に制御信号を出力するデコーダと、

前記メモリと前記データバスとの間に接続され、前記制御信号に基づいてオンオフするスイッチ回路と、
を備えたことを特徴とするデータ入出力システム。

【請求項 4】 請求項 1 乃至 3 のうちの何れか一項に記載のデータ入出力システムにおいて、

前記メモリに対して連続してアクセスするように発生したアドレス信号を前記メモリ又は前記第 1 のレジスタに出力するアドレス発生手段を備えたことを特徴とするデータ入出力システム。

【請求項 5】 請求項 4 に記載のデータ入出力システムにおいて、

前記メモリより読み出されたデータをアナログ信号に変換する D/A 変換器を備え、連続アクセスによりアナログ信号を連続的に出力するデータ入出力システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はメモリを内蔵する機能ブロックを備えたデータ入出力システムに関するものである。

【0002】

近年、携帯端末は、システムの軽量化や部品数の削減とともに、DVD-ROM等の記録装置や音声信号の入出力を行う機能を搭載する高機能化が求められている。このような携帯端末のデータ入出力システムには、記録装置のヘッドを移動させるステッピングモータの駆動信号を出力する機能ブロックや、音声信号を入出力する機能ブロックが設けられている。そして、このアナログ信号の入出力を容易にするとともに、CPUの負担を軽減する要求がある。

【0003】

【従来の技術】

従来、携帯端末等に備えられたデータ入出力システムとしてのマイクロプロセッサシステムには、アナログ信号を取り扱う（入出力する）機能ブロックが搭載されている。

【0004】

例えば、1つの機能ブロックは、携帯端末に搭載されたDVD-ROM等の記録装置のヘッドを移動させるステッピングモータを駆動する機能ブロックであり、この機能ブロックにはD/A変換器が備えられ、そのD/A変換器はマイクロプロセッサシステムのCPUや主メモリと同様にアドレスバス及びデータバスに接続されている。

【0005】

CPUは、主メモリに所定数（ステッピングモータを1回転させるだけに必要な数）の駆動データ（デジタルデータ）を格納する。そして、CPUは、所定時間毎に駆動データをメモリからDA変換器へ順次転送する、即ち主メモリから所定時間毎に順次読み出した駆動データをD/A変換器に出力する。D/A変換器は駆動データに応じた電圧を持つ駆動信号を出力する。

【0006】

そして、CPUは、主メモリの駆動データを周期的にD/A変換器へ転送する。これにより、所定のアナログ波形を持つ駆動信号がステッピングモータに供給され、それによりステッピングモータが連続的に回転する。

【0007】

【発明が解決しようとする課題】

ところで、ステッピングモータを連続的に回転させるためには、周期的に駆動データをメモリからD/A変換器へ転送しなければならない。このため、CPUに負担がかかる。また、他のアプリケーションがCPUを占有しているときには、周期的に駆動データを転送できないため、所望のアナログ波形を得ることができなかった。

【0008】

D/A変換器を含む機能ブロックに更にメモリを備えることで、CPUの負担を軽減することができる。しかし、機能ブロック内のメモリはアドレスバス及びデータバスに直接接続されないため、少なくともメモリに書き込むデータの数だけはメモリに対して、CPUが機能ブロックに対してデータの入出力を行う際に利用するアドレスであるI/Oポート・アドレス(I/O port address)を割り当てる必要がある。このため、複数の機能ブロックを備えたマイクロプロセッサシステムでは、I/Oポート・アドレスが不足するという問題があった。

【0009】

本発明は上記問題点を解決するためになされたものであって、その目的はアドレスバスと非接続なメモリに対して少ないI/Oポート・アドレスにてデータを入出力することのできるデータ入出力システムを提供することにある。

【0010】

また、CPUに負担をかけずにメモリを連続的にアクセスすることができるデータ入出力システムを提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、アドレスバスに接

続され、該アドレスバスを介して入力される信号に基づいて選択又は非選択され、選択時にデータバスからのデータを記憶する第1のレジスタと、前記第1のレジスタの記憶データがアドレス信号として入力され、該アドレス信号に基づくデータの入出力を前記データバスとの間で行うメモリと、を備えた。これにより、メモリの全領域を第1レジスタを指定することでアクセスすることができるため、メモリをアクセスするためのI/Oポート・アドレスが少なくてもすむ。

【0012】

請求項2に記載の発明によれば、請求項1に記載のデータ入出力システムにおいて、前記メモリと前記データバスとの間に接続され、前記アドレスバスを介して入力される信号に基づいて選択又は非選択され、選択時に前記データバス又は前記メモリからのデータを記憶する第2のレジスタを備えた。

【0013】

請求項3に記載の発明によれば、請求項1に記載のデータ入出力システムにおいて、前記アドレスバスに接続され、該アドレスバスを介して入力される信号に基づいて選択又は非選択され、選択時に制御信号を出力するデコーダと、前記メモリと前記データバスとの間に接続され、前記制御信号に基づいてオンオフするスイッチ回路と、を備えた。

【0014】

請求項4に記載の発明によれば、請求項1乃至3のうちの何れか一項に記載のデータ入出力システムにおいて、前記メモリに対して連続してアクセスするように発生したアドレス信号を前記メモリ又は前記第1のレジスタに出力するアドレス発生手段を備えた。これにより、アドレスバスをアクセスする回路に負担をかけずにメモリを連続的にアクセスすることができる。

【0015】

請求項5に記載の発明によれば、請求項4に記載のデータ入出力システムにおいて、前記メモリより読み出されたデータをアナログ信号に変換するD/A変換器を備え、連続アクセスによりアナログ信号を連続的に出力する。

【0016】

【発明の実施の形態】

以下、本発明を具体化した一実施の形態を図1～図9に従って説明する。

図1は、本実施形態のデータ入出力システムとしてのマイクロプロセッサシステム1のブロック回路図である。このマイクロプロセッサシステム1は、携帯機器に備えられ、DVD-ROM装置のヘッドを移動させるステッピングモータ2の駆動信号 $\phi 1$ 、 $\phi 2$ を出力する機能を持つ。

【0017】

マイクロプロセッサシステム1は、CPU11、第1のメモリとしての主メモリ12、複数（本実施形態では3つ）の機能ブロック13、14、15を備え、それらはシステムバス16により相互に接続されている。

【0018】

主メモリ12にはCPU11が実行するプログラム及び実行に必要なデータが記憶され、CPU11はシステムバス16を介して主メモリ12を直接アクセスする。

【0019】

第1及び第2の機能ブロック13、14は、データ記憶機能とD/A変換機能を有し、CPU11からの駆動データをそれぞれ記憶する。駆動データは、ステッピングモータ2を所定回転（例えば1回転）させるのに必要なデータ数のデジタルデータであり、各機能ブロック13、14はそのデジタルデータを記憶するに十分な記憶容量を持つ。

【0020】

そして、第1及び第2機能ブロック13、14は、CPU11からの駆動指令に基づいて、D/A変換機能により駆動データを駆動信号 $\phi 1$ 、 $\phi 2$ に順次繰返しD/A変換する。これにより、ステッピングモータ2には、所定の周期波形を持つ駆動信号 $\phi 1$ 、 $\phi 2$ が供給される。即ち、第1及び第2の機能ブロック13、14には、駆動信号 $\phi 1$ 、 $\phi 2$ の1周期分の駆動データが記憶される。尚、本実施形態では、駆動信号 $\phi 1$ 、 $\phi 2$ をほぼ正弦波とするように駆動データの値が設定されている。

【0021】

第3の機能ブロック15は、例えばカウンタ回路、タイマ回路、シリアル通信

回路等のように、予め設定された機能を提供するための回路により構成されている。

【0022】

図2は、第1及び第2の機能ブロック13、14のブロック回路図である。

第1の機能ブロック13は、波形発生器21とD/A変換器22を備え、波形発生器21は、メモリ制御部23とアドレス発生部24とから構成されている。

【0023】

メモリ制御部23は、所定容量のメモリを持ち、そのメモリには図1のCPU11から駆動データが記憶される。アドレス発生部24は、駆動データを記録したメモリを繰り返し指すように循環するアドレス信号ADD1を生成し、そのアドレス信号ADD1をメモリ制御部23に出力する。メモリ制御部23は、アドレス信号ADD1に応答して読み出した駆動データをD/A変換器22に出力する。D/A変換器22は、駆動データを駆動信号 ϕ 1にD/A変換して出力する。

【0024】

このように、波形発生器21は、メモリ制御部23に記憶された駆動データを循環的にD/A変換器22に出力する。これにより、本実施形態のCPU11は、駆動信号 ϕ 1の1周期分の駆動データを一度メモリ制御部23に書き込むことと、アドレス発生部24に対してアドレス信号ADD1の生成・停止を指示するだけでよい。従って、従来のようにCPU11が駆動データを所定時間毎にD/A変換器22に直接書き込む方式に比べて、CPU11の負荷が著しく減少する。

【0025】

第2の機能ブロック14は、第1の機能ブロック13と同様に構成されている。即ち、第2の機能ブロック14は、波形発生器25とD/A変換器26を備え、波形発生器25はメモリ制御部27とアドレス発生部28とから構成されている。そして、第2の機能ブロック14は、CPU11からシステムバス16を介して入力される波形データをメモリ制御部27にて記憶し、アドレス発生部28にて発生する循環アドレス信号ADD2に応答して駆動データを循環的にD/A

変換器 26 に出力する。その D/A 変換器 26 は、駆動データを駆動信号 $\phi 2$ に D/A 変換して出力する。従って、この機能ブロック 14 においても、駆動信号 $\phi 2$ を出力する際に、CPU 11 の負荷が従来に比べて著しく減少する。

【0026】

次に、波形発生器 21 を構成するメモリ制御部 23 及びアドレス発生部 24 の構成を説明する。尚、波形発生器 25 のメモリ制御部 27 及びアドレス発生部 28 の構成は、波形発生器 21 のそれらと同じであるため、図面及び説明を省略する。

【0027】

先ず、メモリ制御部 23 の構成を図 3 に従って説明する。

メモリ制御部 23 は、データ記憶機能を提供するための第 2 のメモリ 31、アドレスレジスタ 32、データレジスタ 33 を含む。

【0028】

第 2 のメモリ 31 は所定の記憶容量（本実施形態では 00H~FFH の 8 ビットアドレスにて指定される容量）を持つ RAM であり、各アドレスには 8 ビットのデータが記憶される。

【0029】

システムバス 16 はアドレスバス 16a と 8 ビットのバス幅を持つデータバス 16b を含む。アドレスレジスタ 32 及びデータレジスタ 33 はアドレスバス 16a 及びデータバス 16b に接続され、CPU 11 からアドレス AD とデータ DT が入力されるとともに、CPU 11 からリードストローブ RD 及びライトストローブ WR が入力される。

【0030】

アドレスレジスタ 32 及びデータレジスタ 33 は、第 2 のメモリ 31 のアドレス及びデータに対応するビット数（8 ビット）のレジスタであり、それぞれ所定の I/O 空間にマッピングされている。尚、本実施形態では I/O ポート・アドレスの「10H」にアドレスレジスタ 32 が、「11H」にデータレジスタ 33 がマッピングされている。

【0031】

従って、アドレスレジスタ32は、CPU11からのアドレスADが番地「10H」を指し、ライトストロープWRがアクティブな時、CPU11からのデータDTをレジスタ値として記憶する。これにより、CPU11からのデータDTがアドレスレジスタ32に書き込まれる。

【0032】

また、アドレスレジスタ32は、CPU11からのアドレスADが番地「10H」を指し、リードストロープRDがアクティブな時、レジスタ値に対応するデータDTを出力する。これによりアドレスレジスタ32の値がデータDTとしてCPU11に読み出される。

【0033】

同様に、データレジスタ33は、CPU11からのアドレスADが番地「11H」を指し、ライトストロープWRがアクティブな時、CPU11からのデータDTをレジスタ値として記憶する。これにより、CPU11からのデータDTがデータレジスタ33に書き込まれる。

【0034】

また、データレジスタ33は、CPU11からのアドレスADが番地「11H」を指し、リードストロープRDがアクティブな時、レジスタ値に対応するデータDTを出力する。これによりデータレジスタ33の値がデータDTとしてCPU11に読み出される。

【0035】

第2のメモリ31のアドレス端子はアドレスレジスタ32に接続され、データ端子はデータレジスタ33に接続され、CPU11からリードストロープRD及びライトストロープWRが入力される。従って、第2のメモリ31は、アドレスレジスタ32に記憶された8ビットのデータをアドレス信号として受け取る。そして、メモリ31は、リードストロープRDがアクティブな時にアドレス信号に応答して読み出したデータをデータレジスタ33に出力するリード動作ど実行し、ライトストロープWRがアクティブな時には、データレジスタ33の値を記憶するライト動作を実行する。

【0036】

図4は、第2のメモリ31に対するアクセスを示すタイミングチャートである。

まず、第2のメモリ31に対するライト動作を説明する。

【0037】

図4において、第3サイクルT3から第6サイクルT6までが、第2のメモリ31に対するライト動作のタイミングチャートである。

まず、CPU11は、第3サイクルT3において第2のメモリ31のライトアドレス「00H」をアドレスレジスタ32に書き込む（アドレスレジスタ32のI/Oポート・アドレス「10H」をアドレスADとし、ライトアドレスをデータDTとして送出する）。そのアドレス「00H」は、アドレスレジスタ32から第2のメモリ31に供給される。

【0038】

次に、CPU11は、第4サイクルT4において第2のメモリ31に書き込むデータ「80H」をデータレジスタ33に書き込む。そのデータ「80H」は、データレジスタ33から第2のメモリ31に供給される。これにより、第2のメモリ31は、アドレス「00H」にデータ「80H」を記憶する。

【0039】

同様に、まず、CPU11は、第5サイクルT5において第2のメモリ31のライトアドレス「04H」をアドレスレジスタ32に書き込み、そのアドレスが第2のメモリ31に供給される。次に、CPU11は、第6サイクルにおいて第2のメモリ31のライトデータ「FFH」をデータレジスタ33に書き込み、そのライトデータが第2のメモリ31に供給される。これにより、第2のメモリ31は、アドレス「04H」にデータ「FFH」を記憶する。

【0040】

次に、アドレスレジスタ32、データレジスタ33に対するリード動作を説明する。

図4において、第7サイクルT7がアドレスレジスタ32に対するリード動作を、第8サイクルT8がデータレジスタ33に対するリード動作のタイミングチャートである。

【0041】

CPU11は、第7サイクルT7においてアドレスレジスタ32のI/Oポート・アドレス「10H」をリードすると、このレジスタ32に最終に書き込まれたアドレス、即ち第5サイクルT5にて当該レジスタ32に書き込まれたアドレス「04H」がデータDTとして読み出される。

【0042】

同様に、CPU11は、第8サイクルT8においてデータレジスタ33のI/Oポート・アドレス「11H」をリードすると、このレジスタ33に最終に書き込まれたデータ、即ち第6サイクルT6において当該レジスタ33に書き込まれたデータ「FFH」がデータDTとして読み出される。

【0043】

次に、第2のメモリ31に対するリード動作を説明する。

図4において、第9サイクルT9及び第10サイクルT10が、第2のメモリ31に対するリード動作のタイミングチャートである。

【0044】

先ず、CPU11は、第9サイクルT9において第2のメモリ31のリードアドレス「00H」をアドレスレジスタ32に書き込み、そのリードアドレスは第2のメモリ31に供給される。第2のメモリ31はリードアドレス「00H」から読み出したデータをデータレジスタ33に出力する。

【0045】

次に、CPU11は、第10サイクルT10においてデータレジスタ33のI/Oポート・アドレス「11H」をリードすると、このレジスタ33に最終に書き込まれたデータ、即ち第9サイクルT9において第2のメモリ31から読み出されレジスタ33に書き込まれたデータ「80H」がデータDTとして読み出される。

【0046】

次に、アドレス発生部24の構成を、図5に従って説明する。

アドレス発生部24は、コントロールレジスタ34、アップダウンカウンタ35、比較器36を含む。

【 0 0 4 7 】

コントロールレジスタ 3 4 は、所定のビット数のレジスタであり、所定の I / O 空間（例えば、I / O ポート・アドレスが 1 8 H）にマッピングされている。コントロールレジスタ 3 4 はシステムバス 1 6 に接続され、CPU 1 1 からコントロールデータ及びカウント終了アドレスが書き込まれる。

【 0 0 4 8 】

コントロールデータは、アップダウンカウンタ 3 5 の起動・停止を制御するためのイネーブルデータと、アップダウンカウンタ 3 5 のカウント方向を切り替える切り替えデータを含む。コントロールレジスタ 3 4 は、イネーブルデータに対応するイネーブル信号 E N をアップダウンカウンタ 3 5 に出力する。また、コントロールレジスタ 3 4 は、切り替えデータに応じた切替信号 D I R をアップダウンカウンタ 3 5 に出力する。

【 0 0 4 9 】

カウント終了アドレスは、循環アドレス信号 A D D 1 を生成するため、アップダウンカウンタ 3 5 にカウント初期値 L A として、比較器 3 6 に終了値 E A として与えられる。

【 0 0 5 0 】

アップダウンカウンタ 3 5 は、コントロールレジスタ 3 4 からのイネーブル信号 E N に応答して入力されるクロック信号 C K のカウント動作を実行・停止する。アップダウンカウンタ 3 5 は、アップカウント動作とダウンカウント動作を切り替える機能を持ち、コントロールレジスタ 3 4 からの H レベルの切替信号 D I R に応答してアップカウント動作を実行し、L レベルの切替信号 D I R に応答してダウンカウント動作を実行する。そして、各カウント動作によるカウント値をアドレス信号 A D D 1 として出力する。

【 0 0 5 1 】

比較器 3 6 は、コントロールレジスタ 3 4 からの終了値と、アップダウンカウンタ 3 5 からのカウント値（アドレス信号 A D D 1）とに基づいて生成したクリア信号 C L R 及びロード信号 L O A D をアップダウンカウンタ 3 5 に出力する。詳述すると、比較器 3 6 は、アップダウンカウンタ 3 5 のアップカウント動作時

に、終了値とカウント値を比較し、カウント値が終了値と一致したときにクリア信号CLRをアクティブにする。また、比較器36は、アップダウンカウンタ35のダウンカウント動作時に、カウント値がアンダーフローした時にロード信号LOADをアクティブにする。

【0052】

アップダウンカウンタ35は、アクティブなクリア信号CLRに応答してカウント値をクリアする、即ちカウント値を「00H」にする。従って、終了値（終了アドレス）が例えば「1FH」の場合、カウント値即ちアドレス信号ADD1は、「…, 1E, 1F, 0, 1, 2, …」と変化する。これにより、アドレス発生部24は、「0」から終了値までの間を増加（アップカウント）しながら循環するアドレス信号ADD1を生成する。

【0053】

また、アップダウンカウンタ35は、アクティブなロード信号LOADに応答して初期値をロードする、即ちカウント値を初期値に設定する。従って、初期値が例えば「1FH」の場合、カウント値（アドレス信号ADD1）は、「…, 2, 1, 0, 1F, 1E, …」と変化する。これにより、アドレス発生部24は、「0」から終了値までの間を減少（ダウンカウント）しながら循環するアドレス信号ADD1を生成する。

【0054】

図6は、アップダウンカウンタ35の回路図である。尚、図6では、イネーブル信号ENに응答してカウント動作を実行・停止するための構成、及び初期値をロードするための構成は、公知であるため省略してある。

【0055】

アップダウンカウンタ35は、直列接続された複数（生成するアドレス信号ADD1のビット数に対応する数）のフリップフロップ411, 412, …, 41n（本実施形態の場合、n=7）を備えている。初段のフリップフロップ411のクロック入力端子には、クロック信号CKをインバータ回路42に反転した信号CK0が入力され、これにより、アップダウンカウンタ35はクロック信号CKの立ち下がリエッジをカウントする。

【0056】

各段のフリップフロップ411～417の間には、それぞれカウント方向を切り替えるための切替回路431, 432, …と、カウント方向の切替時に発生する不要なパルスを除くためのフリップフロップ441, 442, …が接続されている。

【0057】

詳述すると、フリップフロップ411は反転出力端子XQと入力端子Dが接続され、出力端子Qから1ビット目のアドレス信号A0を出力する。フリップフロップ411の出力端子Qと反転出力端子XQは切替回路431に接続されている。切替回路431は、ナンド回路45, 46、インバータ回路47、オア回路48から構成されている。

【0058】

フリップフロップ411の出力端子Qはナンド回路45に接続され、フリップフロップ411の反転出力端子XQはナンド回路46に接続されている。ナンド回路45には切替信号DIRをインバータ回路47により反転した信号が入力され、ナンド回路46には切替信号DIRが入力される。両ナンド回路45, 46の出力端子はオア回路48に接続され、そのオア回路48の出力端子はフリップフロップ441の入力端子Dに接続されている。フリップフロップ441のクロック入力端子にはクロック信号CK0が入力され、出力端子Qから次段のフリップフロップ412に供給するクロック信号CK1が出力される。

【0059】

両フリップフロップ411, 441のクリア端子CLにはクリア信号CLRが入力され、フリップフロップ411のプリセット端子PRには初期値の1ビット目の信号が入力される。

【0060】

尚、次段のフリップフロップ412以降の接続は、上記と同様であるため、説明を省略する。

図7は、アップダウンカウンタ35の動作波形図である。

【0061】

アップダウンカウンタ35は、クリア信号CLRがLレベルになると、Hレベルの切替信号DIRによりクロック信号CKの立ち下がりエッジをアップカウント、そのカウント値「00, 01, 02, …」を持つアドレス信号ADD1を出力する。

【0062】

そして、切替信号DIRがLレベルになると、アップダウンカウンタ35はダウンカウントを開始する。この時、図7にて丸で囲んだように、フリップフロップ441の入力端子Dに受ける信号に不要なパルスが発生する。しかし、フリップフロップ441は、クロック入力端子に受けるクロック信号CK0が立ち上がらないため、このパルスを含まない即ちLレベルのクロック信号CK1を次段のフリップフロップ412に出力する。この結果、アップダウンカウンタ35は、正確にダウンカウントしたカウント値に基づくアドレス信号ADD1を出力する。同様に、フリップフロップ442はその入力端子Dに受ける信号に不要なパルスが発生するが、クロック入力端子に受けるクロック信号CK1が立ち上がらないため、このパルスを含まないクロック信号CK2を次段のフリップフロップに出力する。

【0063】

図8は、アドレス発生部24の動作波形図である。

例えば、図5の比較器36には終了値「1FH」が供給され、アップダウンカウンタ35はコントロールレジスタ34からのHレベルの切替信号DIRに基づいてアップカウント動作し、カウント値を「18, 19, 1A, …」とアップさせる。そして、カウント値が終了値と一致した時、比較器36はHレベルのクリア信号CLRをアップダウンカウンタ35に出力し、そのカウンタ35はクリア信号CLRに応答してカウント値をクリアする。このように、アドレス発生部24は、値が「00, 01, …, 1F, 00, …」のように巡回するアドレス信号ADD1を発生させる。

【0064】

次に、上記のように構成されたマイクロプロセッサシステム1における機能ブロック13, 14の作用を図9に従って説明する。

先ず、図1のCPU11は、第1の機能ブロック13のメモリ31に、ステッピングモータ2を駆動するための1周期分のデータがアドレス「0H」～「FH」に格納し、そのデータと90度の位相差を持つデータを第2の機能ブロック14のメモリ31に格納する。

【0065】

次に、CPU11は、両機能ブロック13、14のアドレス発生部24、28にカウント終了アドレス「FH」を格納する。更に、CPU11は、ステッピングモータ2の回転方向に応じた切り替えデータを両アドレス発生部24、28に格納する。

【0066】

次に、CPU11は、アドレス発生部24、28を動作させるべくイネーブルデータを格納する。すると、両アドレス発生部24、28は、供給されるクロック信号CKをカウントし、それぞれ値が「0, 1, 2, ..., F, 0, ...」のように変化する循環アドレス信号ADD1, ADD2を発生させる。メモリ制御部23、27は、それぞれアドレス信号ADD1, ADD2に応答して読み出した波形データをD/A変換器22、26に出力する。これにより、D/A変換器22、26は、90度位相の異なるアナログ波形を持つ駆動信号 $\phi 1$ 、 $\phi 2$ を出力し、それら駆動信号 $\phi 1$ 、 $\phi 2$ によりステッピングモータ2が所定方向に回転する。

【0067】

尚、ステッピングモータ2の回転方向は、両機能ブロック13、14に格納したデータの位相関係と、両アドレス発生部24、28のカウント方向により決定される。例えば、両アドレス発生部24、28がアップカウントする時に出力される波形データによりステッピングモータ2が正転する場合、両アドレス発生部24、28をダウンカウントさせることでステッピングモータ2は逆転する。

【0068】

以上記述したように、本実施の形態によれば、以下の効果を奏する。

(1) アドレスレジスタ32はアドレスバス16aに接続され、該アドレスバス16aを介して入力される信号に基づいて選択又は非選択され、選択時にデー

タバス 1 6 b からのデータを記憶する。アドレスバス 1 6 a に接続されないメモリ 3 1 は、アドレスレジスタ 3 2 の記憶データがアドレス信号として入力され、そのアドレス信号に基づいてデータバス 1 6 b との間でデータの入出力を行うようにした。その結果、メモリ 3 1 の全領域をアドレスレジスタ 3 2 を指定することでアクセスすることができるため、メモリ 3 1 をアクセスするための I / O ポート・アドレスの占有を少なくすることができる。

【 0 0 6 9 】

(2) 第 1 及び第 2 の機能ブロック 1 3, 1 4 の波形発生器 2 1, 2 5 には、メモリ制御部 2 3, 2 7 のメモリ 3 1 を連続してアクセスするためのアドレス信号 ADD 1, ADD 2 を生成するアドレス発生部 2 4, 2 8 を備えた。これにより、CPU 1 1 に負担をかけずにメモリ 3 1 を連続的にアクセスしてそのメモリ 3 1 に記録した波形データを D / A 変換器 2 2, 2 6 に出力することができ、アナログ信号としての駆動信号 $\phi 1$, $\phi 2$ を連続的に出力することができる。

【 0 0 7 0 】

(3) アドレス発生部 2 4, 2 8 は、メモリ制御部 2 2, 2 7 に対して循環するアドレス信号 ADD 1, ADD 2 を出力するように構成されている。従って、D / A 変換器 2 2, 2 6 には波形データが循環して出力されるため、周期波形を持つアナログ信号として駆動信号 $\phi 1$, $\phi 2$ を容易に出力することができる。

【 0 0 7 1 】

尚、前記実施形態は、以下の態様に変更してもよい。

○上記実施形態では、第 2 のメモリ 3 1 のアドレス及びデータのビット数がシステムバス 1 6 (詳しくはデータバス 1 6 b) のバス幅と同一 (8 ビット) の場合について説明したが、それらのビット数が異なっても良い。

【 0 0 7 2 】

例えば、図 1 0 のメモリ制御部 2 3 a は、アドレス及びデータの幅が 1 6 ビットの第 2 のメモリ 3 1 a と、それに対応するアドレスレジスタ 3 2 a 及びデータレジスタ 3 3 a を備えている。図 1 1 は、その動作波形図である。1 6 ビット構成のアドレスレジスタ 3 2 a は 8 ビットずつ 2 つの I / O ポート・アドレス「1 0 H」, 「1 1 H」にマッピングされる。同じく、1 6 ビット構成のデータレジ

スタ 33 a は、8ビットずつ I/Oポート・アドレス「12H」,「13H」にマッピングされる。そして、アドレスレジスタ 32 a 及びデータレジスタ 33 a は、16ビット分のデータが格納されたときに、所望の動作をする。

【0073】

また、図12は、第2のメモリ 31 b のアドレス及びデータが8ビットであるのに対し、16ビットのバス幅を持つデータバス 16 c の場合の構成を示し、その時の動作波形図を図13に示す。第2のメモリ 31 b にデータをライトする場合、アドレスレジスタ 32 のみにデータをライトするのか、データレジスタ 33 のみにデータをライトするのか、両方同時にデータをライトするのかは、CPU 11 が出力するライトストロブ WRH, WRL で決定される。CPU 11 は、バイトアクセスの時、偶数番地（図12ではアドレスレジスタ 32）に対するアクセスを行うときにはライトストロブ WRL をアクティブに、奇数番地（データレジスタ 33）に対するアクセスを行うときにはライトストロブ WRH をアクティブにする。従って、CPU 11 は、両ライトストロブ WRH, WRL を同時にアクティブにすることで、アドレスレジスタ 32 とデータレジスタ 33 の双方に1サイクルでデータをライトできる。データをリードする際、CPU 11 は、バイトアクセスでアドレスレジスタ 32 の値を第2のメモリ 31 のアドレスに変更した後、バイトアクセスでデータレジスタ 33 をアクセスすることで、第2のメモリ 31 から読み出したデータが得られる。

【0074】

○上記実施形態及び別例では、データレジスタ 33, 33 a を介して第2のメモリ 31, 31 a にタイするデータのアクセス（読み出し／書き込み）を行うようにしたが、レジスタ以外を用いてアクセスを可能に構成しても良い。

【0075】

例えば、図14は、アドレスデコーダによりデータのアクセスを可能にした例を示し、図15はその動作波形図を示す。即ち、メモリ制御部 23 b は、第2のメモリ 31、アドレスレジスタ 32、アドレスデコーダ 51、スイッチ回路 52 を備えている。アドレスデコーダ 51 は、I/Oポート・アドレス「11H」にマッピングされ、CPU 11 からのアクセスに应答して制御信号 S1 をスイッチ

回路 5 2 に出力する。スイッチ回路 5 2 は第 2 のメモリ 3 1 のデータと同じビット幅を持ち、制御信号 S 1 に応答してオン・オフする。従って、第 2 のメモリ回路 3 1 のデータ端子は、アドレスデコーダ 5 1 がアクセスされることによりシステムバス 1 6 (データバス 1 6 b) と接続される。

【0076】

第 2 のメモリ 3 1 のデータ入出力端子とデータバス 1 6 b が接続された状態で、をリード・ライトする場合、CPU 1 1 はライトストロープ WR をアクティブにすることでデータライトが可能となり、リードストロープ RD をアクティブにすることでデータリードが可能となる。このとき、アドレスレジスタ 3 2 の示すデータ (格納されたデータ) が第 2 のメモリ 3 1 のアドレスとして有効となり、第 2 のメモリ 3 1 に対してデータが入出力される。

【0077】

○上記実施形態及び各別例において、更に、他の機能ブロックを備えたマイクロプロセッサシステムに具体化して実施しても良い。例えば、図 1 6 に示すように、マイクロプロセッサシステム 1 b は、図 2 の第 1 及び第 2 の機能ブロック 1 3, 1 4 に加えて第 3 の機能ブロック 6 1 を備える。第 3 の機能ブロック 6 1 は、波形記録器 6 2 と A/D 変換器 6 3 を備え、その A/D 変換器 6 3 は入力されるアナログ信号 A i n をデジタル信号に A/D 変換して波形記録器 6 2 に出力する。波形記録器 6 2 はメモリ制御部 6 4 とアドレス発生部 6 5 とから構成され、メモリ制御部 6 4 は、アドレス発生部 6 5 にて発生したアドレス信号にて A/D 変換器 6 3 からのデジタル信号を記録する。

【0078】

そして、アナログ信号 A i n に代えて第 1 及び第 2 の機能ブロック 1 3, 1 4 からの駆動信号 $\phi 1$, $\phi 2$ を第 3 の機能ブロック 6 1 に入力する。これにより、メモリ制御部 6 4 には、第 1 又は第 2 の駆動信号 $\phi 1$, $\phi 2$ を A/D 変換したデジタル信号が記録される。CPU 1 1 は、このデジタル信号に基づいて第 1 又は第 2 の機能ブロック 1 3, 1 4 のメモリ制御部 2 3, 2 7 に記録した波形データを、駆動信号 $\phi 1$, $\phi 2$ が期待通りの波形を持つように補正する、即ち駆動信号 $\phi 1$, $\phi 2$ を波形データにフィードバックする。これにより、より精度の高

いアナログ波形を持つ駆動信号 $\phi 1$, $\phi 2$ を生成することができる。

【0079】

○上記実施形態及び各別例では、図1のステッピングモータ2を駆動するマイクロプロセッサシステムに具体化した、その他のアナログ信号を取り扱うシステムに具体化して実施しても良い。例えば、図17に示すように、システム1cは、機能ブロック71, 72を含む。第1の機能ブロック71は図2の機能ブロック13, 14と同様に波形発生器73とD/A変換器74を備え、波形発生器73はメモリ制御部75とアドレス発生部76とから構成される。第2の機能ブロック72は図16と同様に波形記録器77とA/D変換器78を備え、波形記録器77はメモリ制御部79とアドレス発生部80とから構成される。そして、第1の機能ブロック71にはスピーカ81が接続され、第2の機能ブロック72にはマイク82が接続される。そして、波形発生器73のメモリ制御部75にデジタル音声データを格納しておくことで、音声スピーカ81から再生することができる。また、マイク82からのアナログ信号をA/D変換器78を介して波形記録器77のメモリ制御部79にデジタル音声データとして格納することができる。尚、第1及び第2の機能ブロック71, 72の何れか一方のみを搭載したシステムに具体化しても良い。また、これら機能ブロック71, 72と、上記実施形態及び別例の機能ブロック13, 14, 61を適宜組み合わせて搭載したシステムに具体化しても良い。

【0080】

○上記実施形態では、比較器36に終了値として「1FH」を供給する場合について説明したが、この終了値を任意に変更しても良く、一実施形態のように波形データを図3のメモリ31から出力させようとする場合、そのデータの最終アドレスを終了値として設定する。

【0081】

○上記実施形態では、図3のメモリ31から出力するデータの個数（最終アドレス）を変更可能に構成したが、これを固定値として実施しても良い。その際、終了値に応じて比較器36をアンド回路にて置き換えて実施しても良い。例えば、終了値が「FFH」に固定されている場合、比較器を8入力アンド回路とする

。また、終了値を任意の固定値とした場合、その終了値にのビット数に応じた入力端子を備えたアンド回路とそのアンド回路の入力端子に終了値に応じて接続したインバータ回路により比較手段を構成しても良い。

【0082】

○上記実施形態では、機能ブロック13、14のアドレス発生部24、28のカウント方向を切り替えることによりステッピングモータ2の回転方向を変更するようにしたが、メモリ制御部23、27のメモリ31に記憶させる波形データの位相関係を変更することでステッピングモータ2の回転方向を変更しても良い。即ち、メモリ制御部23のメモリ31に格納した波形データがメモリ制御部27のメモリ31に格納した波形データよりも位相が90度進んでいる場合、そのデータの位相を逆に90度遅らせることにより、ステッピングモータ2の回転方向を変更することができる。このようにすれば、CPU11がステッピングモータ2の回転方向を変更する毎に両メモリ制御部23、27の少なくとも一方の波形データを書き換える必要があるが、アドレス発生部24、28はアップカウント動作又はダウンカウント動作のみを行う構成であればよい。従って、図6に示すアップダウンカウンタ35の構成から切替回路431、432、…、及びフリップフロップ441、442、…を省略することができ、両機能ブロック13、14の素子数を少なくして占有面積を少なくすることができる。

【0083】

○上記実施形態及び各別例では、1つの機能を有する機能ブロック13、14、61、71、72に具体化した但、複数の機能を有する機能ブロックに具体化して実施しても良い。

【0084】

以上の実施形態をまとめ、本発明の構成に関する以下の事項を開示する。

(1) 請求項5に記載のデータ入出力システムにおいて、前記アドレス発生手段は、循環アドレスを発生するように構成され、周期波形の前記アナログ信号を出力することを特徴とするデータ入出力システム。これにより、周期波形のアナログ信号を他に負担をかけずに容易に出力することができる。

【0085】

(2) 請求項4に記載のデータ入出力システムにおいて、アナログ信号をデジタル信号に変換して前記メモリに出力するA/D変換器を備え、前記連続アクセスによりアナログ信号を連続的に記録することを特徴とするデータ入出力システム。これにより、他に負担をかけずにアナログ信号の記録が容易になる。

【0086】

(3) 請求項4に記載のデータ入出力システムにおいて、前記メモリより読み出されたデータをアナログ信号に変換するD/A変換器と、前記D/A変換器から出力されるアナログ信号が入力されるA/D変換器とを備え、前記A/D変換器からのデジタルデータにより前記メモリに記録したデータを前記D/A変換器からのアナログ信号の波形が所望の波形となるように補正することを特徴とするデータ入出力システム。

【0087】

(4) 請求項4に記載のデータ入出力システムにおいて、前記アドレス発生手段は、クロック信号をカウントし、そのカウント値を持つアドレス信号を出力するカウンタと、前記メモリに記録されたデータの最終アドレスが記憶されるコントロールレジスタと、前記最終アドレスと前記アドレス信号とが入力され、前記最終アドレスと前記アドレス信号を比較し、その比較結果に基づいて前記最終アドレスと前記アドレス信号が一致する時に前記カウンタにカウント値をクリアする信号を出力する比較器と、を備えたことを特徴とするデータ入出力システム。

【0088】

(5) 上記(4)に記載のデータ入出力システムにおいて、前記カウンタは切替信号に応答してアップカウント動作又はダウンカウント動作するアップダウンカウンタであり、アップカウント時には前記クリア信号によりカウント値をクリアし、ダウンカウント時にはカウント値がアンダーフローした時に前記最終アドレスをカウント値にロードし、前記コントロールレジスタには、前記カウンタのカウント方向を制御する制御信号を出力するために切り替えデータが記録されることを特徴とするデータ入出力システム。これにより、カウント方向によりアナログ信号の波形を容易に変更することができるとともに、そのためのカウント

方向の切り替えが容易になる。

【0089】

(6) アドレスバスからのアドレス信号に基づいてデータを前記アドレスバスと非接続された記憶手段に書き込むステップと、循環アドレスを発生させるステップと、前記循環アドレスに基づいて前記記憶手段から前記データを読み出してD/A変換器に供給するステップと、を含むことを特徴とするデータ入出力方法。これにより、記憶手段からD/A変換器へのデータの転送をアドレスバスを介さずに行うことができるとともに、そのD/A変換器にて循環アドレスに対応した周期波形を有するアナログ信号を容易に生成することができる。

【0090】

【発明の効果】

以上詳述したように、本発明によれば、第1のレジスタはアドレスバスに接続され、該アドレスバスを介して入力される信号に基づいて選択又は非選択され、選択時にデータバスからのデータを記憶する。アドレスバスに接続されないメモリは、アドレスレジスタの記憶データがアドレス信号として入力され、そのアドレス信号に基づいてデータバスとの間でデータの入出力を行うようにした。その結果、メモリの全領域を第1のレジスタを指定することでアクセスすることができるため、メモリをアクセスするためのI/Oポート・アドレスの占有を少なくすることができる。

【0091】

また、メモリに対して連続してアクセスするように発生したアドレス信号を前記メモリ又は前記第1のレジスタに出力するアドレス発生手段を備えた。これにより、アドレスバスをアクセスする回路に負担をかけずにメモリを連続的にアクセスすることができる。

【0092】

また、アドレス発生手段は、循環アドレスを発生するように構成され、周期波形の前記アナログ信号を出力する。これにより、周期波形のアナログ信号を他に負担をかけずに容易に出力することができる。

【図面の簡単な説明】

- 【図 1】 マイクロプロセッサシステムのブロック回路図である。
- 【図 2】 機能ブロックのブロック回路図である。
- 【図 3】 メモリ制御部の回路図である。
- 【図 4】 メモリ制御部の動作波形図である。
- 【図 5】 アドレス発生器のブロック回路図である。
- 【図 6】 アップダウンカウンタの回路図である。
- 【図 7】 アップダウンカウンタの動作波形図である。
- 【図 8】 アドレス発生器の動作波形図である。
- 【図 9】 第一実施形態の作用説明図である。
- 【図 10】 別のメモリ制御部のブロック回路図である。
- 【図 11】 図 10 のメモリ制御部の動作波形図である。
- 【図 12】 別のメモリ制御部のブロック回路図である。
- 【図 13】 図 12 のメモリ制御部の動作波形図である。
- 【図 14】 別のメモリ制御部のブロック回路図である。
- 【図 15】 図 14 のメモリ制御部の動作波形図である。
- 【図 16】 別のマイクロプロセッサシステムのブロック回路図である。
- 【図 17】 別のマイクロプロセッサシステムのブロック回路図である。

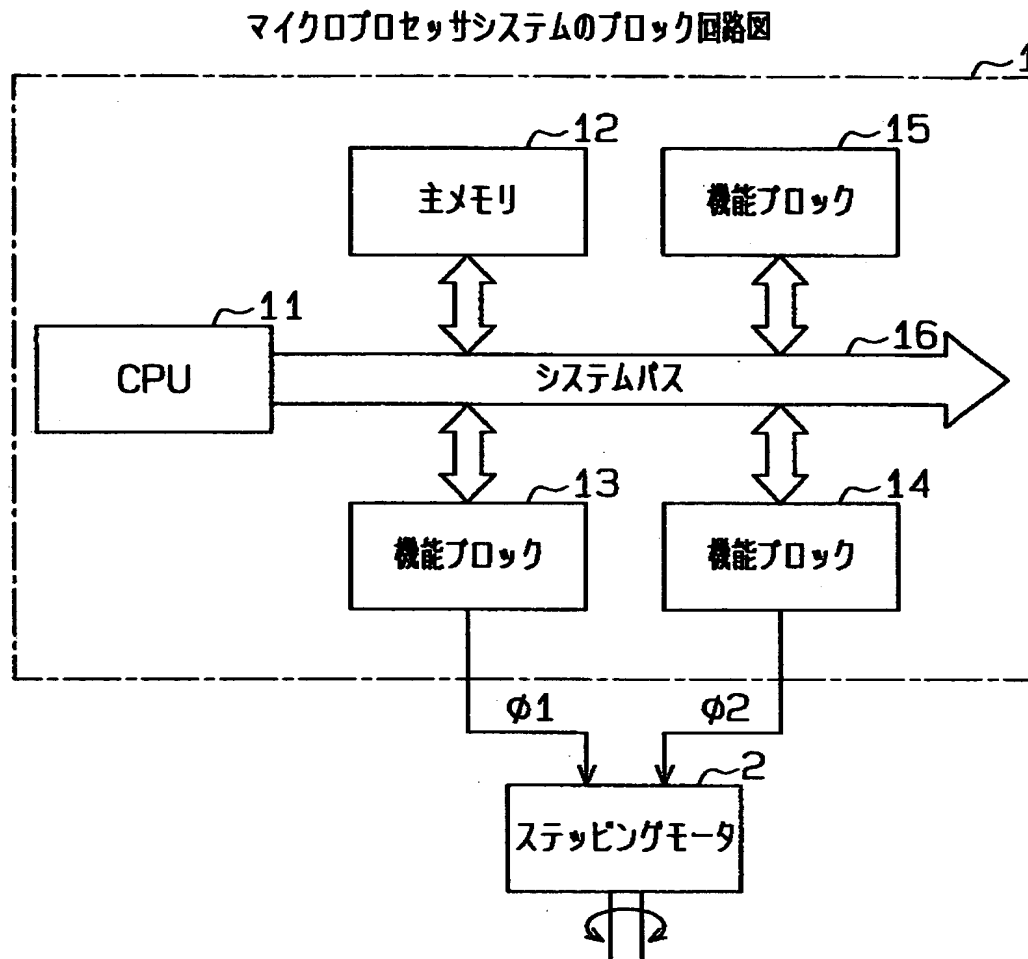
【符号の説明】

- 16a アドレスバス
- 16b データバス
- 22, 26 D/A変換器
- 23, 27 メモリ制御部
- 24, 28 アドレス発生手段としてのアドレス発生部
- 31 メモリ
- 32 第1のレジスタとしてのアドレスレジスタ
- 33 第2のレジスタとしてのデータレジスタ
- 34 コントロールレジスタ
- 35 アップダウンカウンタ
- 36 比較器

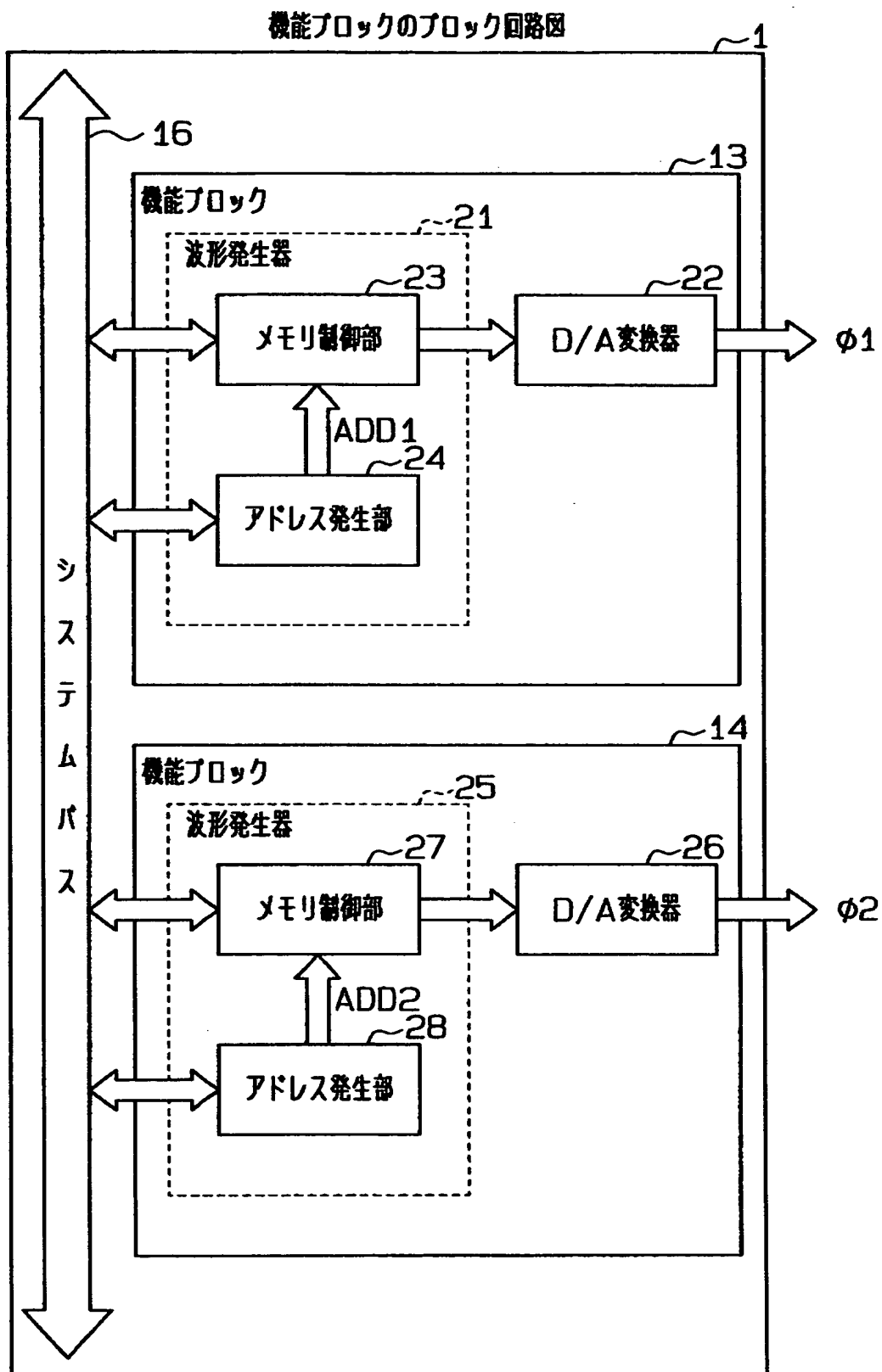
- 51 アドレスデコーダ
- 52 スイッチ回路
- 63 A/D変換器

【書類名】 図面

【図1】

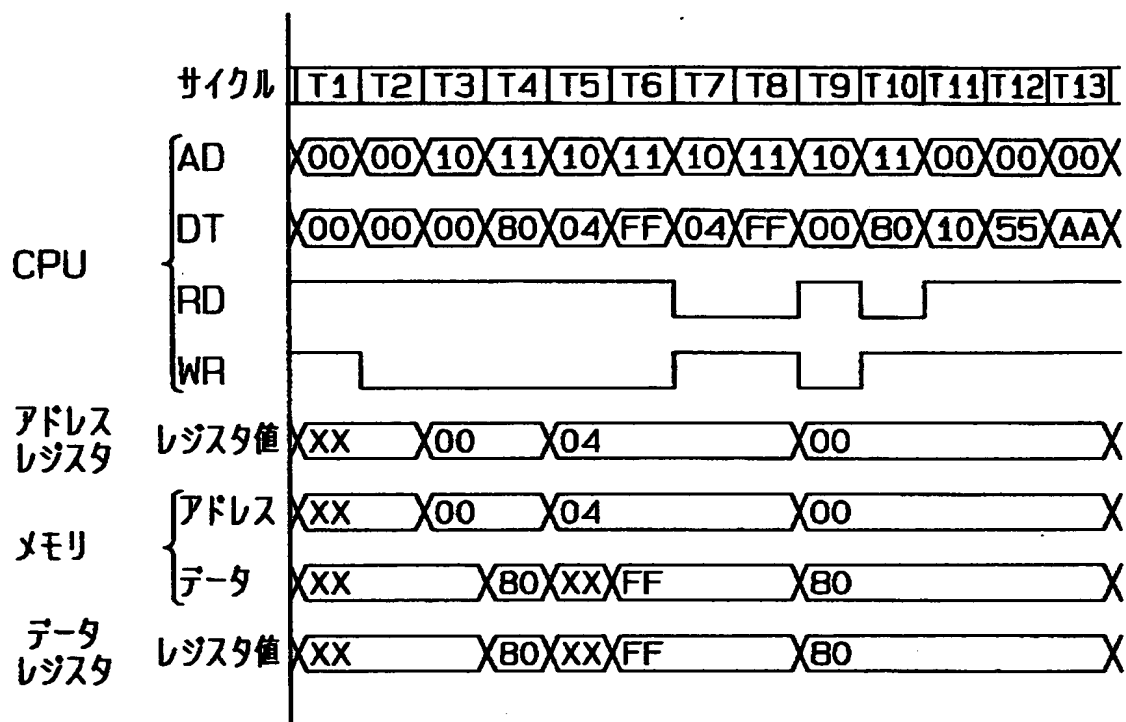


【図2】

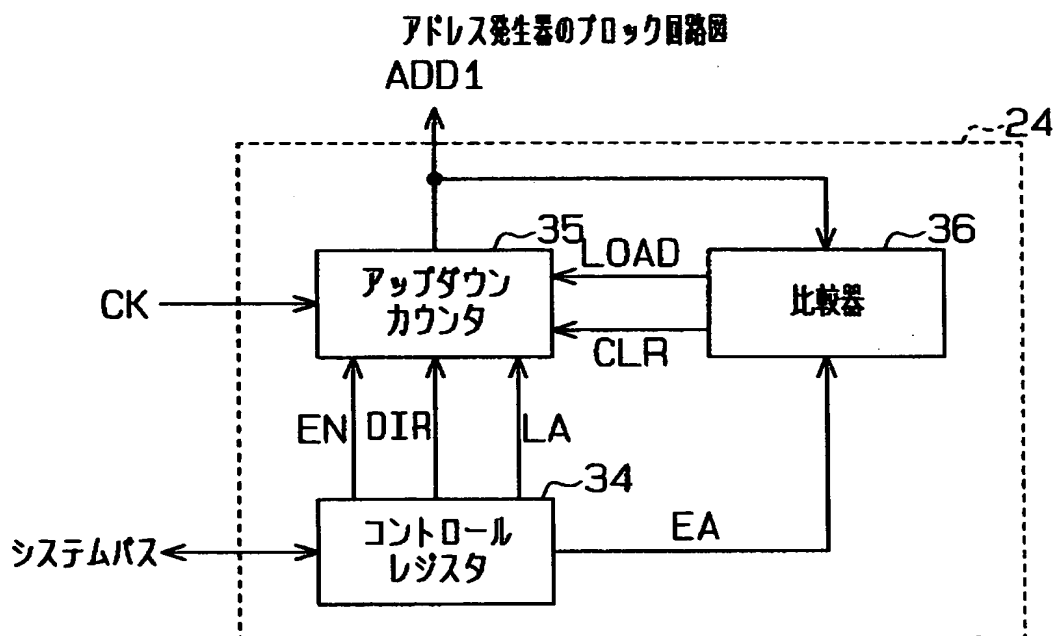


【図4】

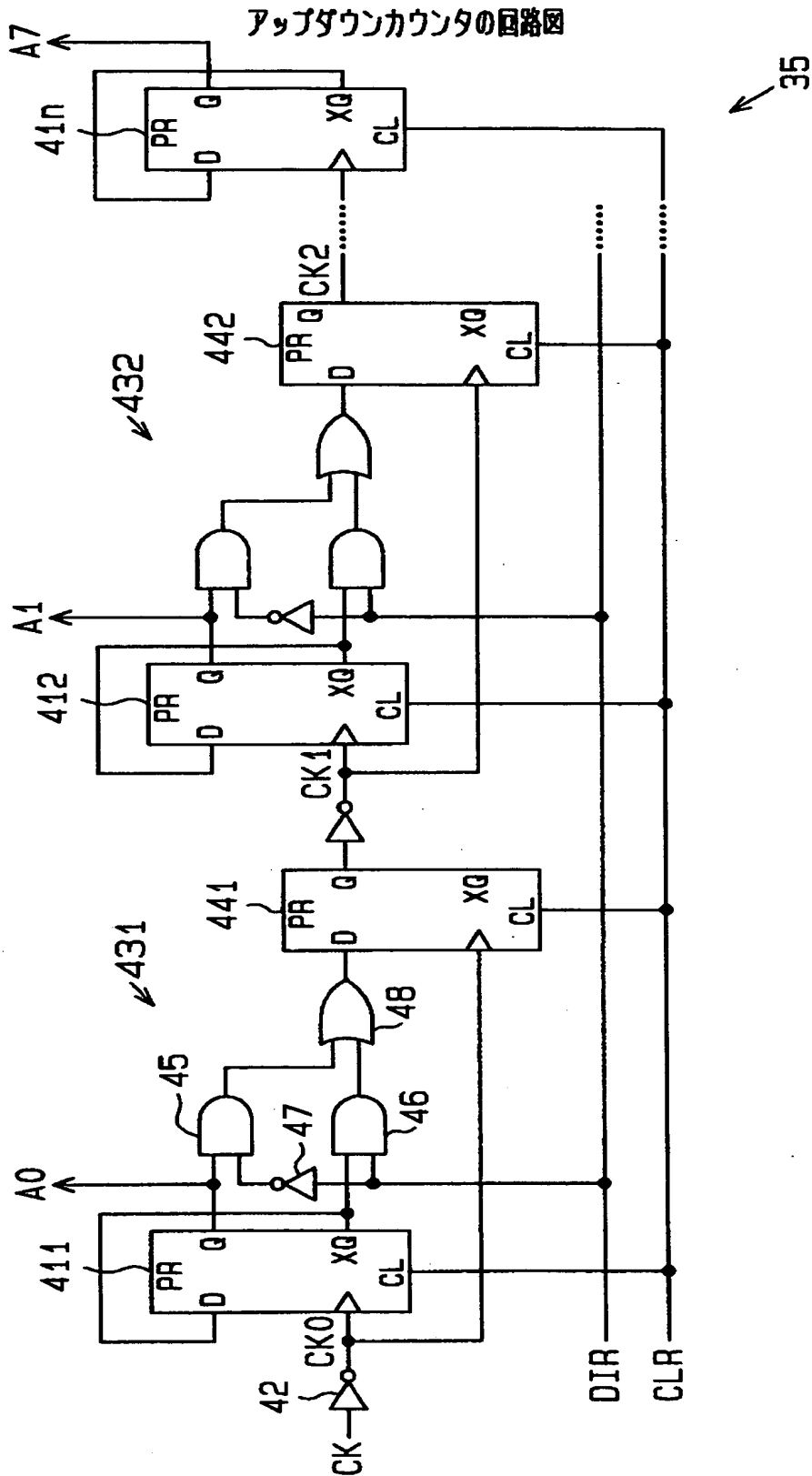
メモリ制御部の動作波形図



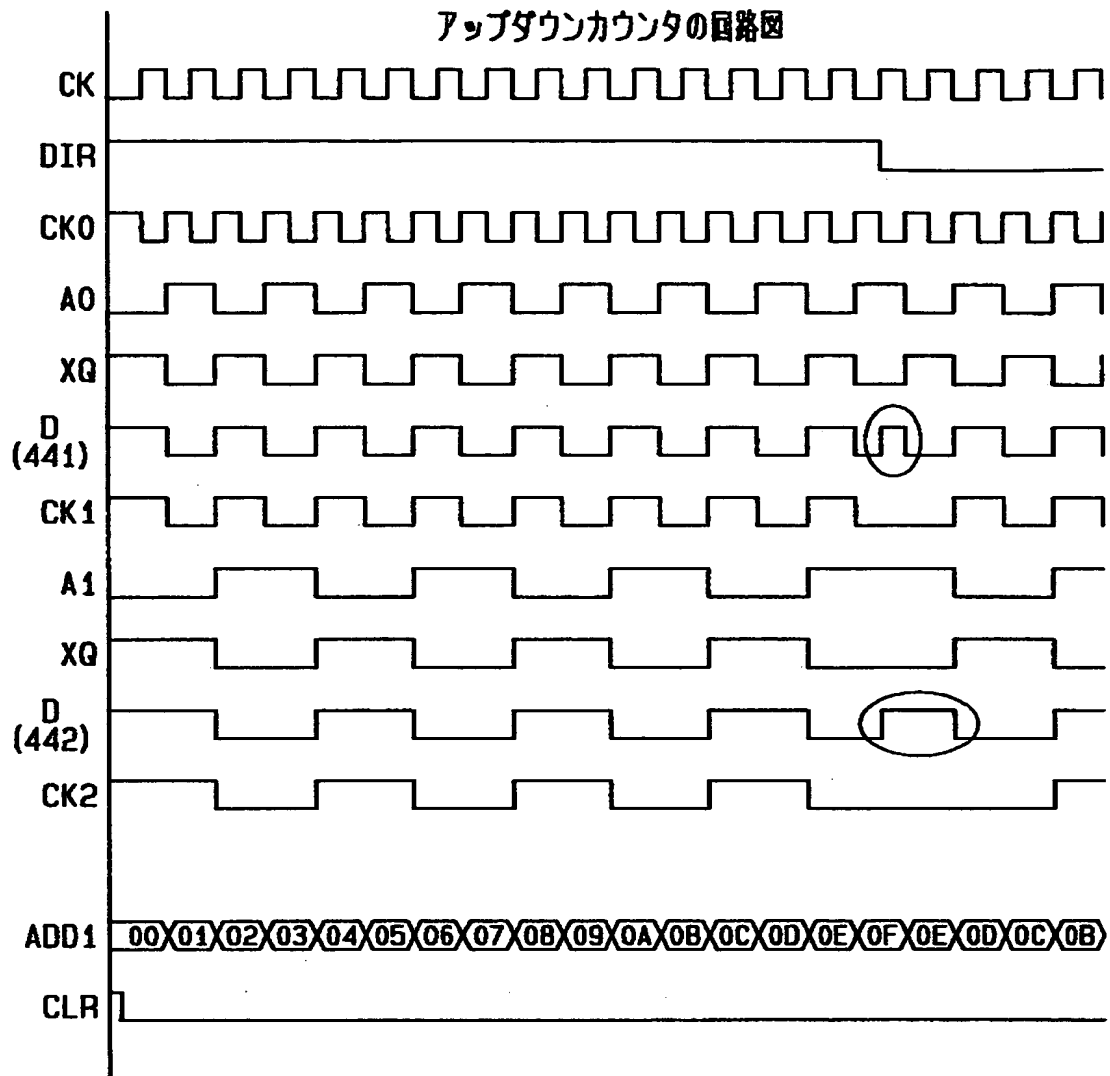
【図5】



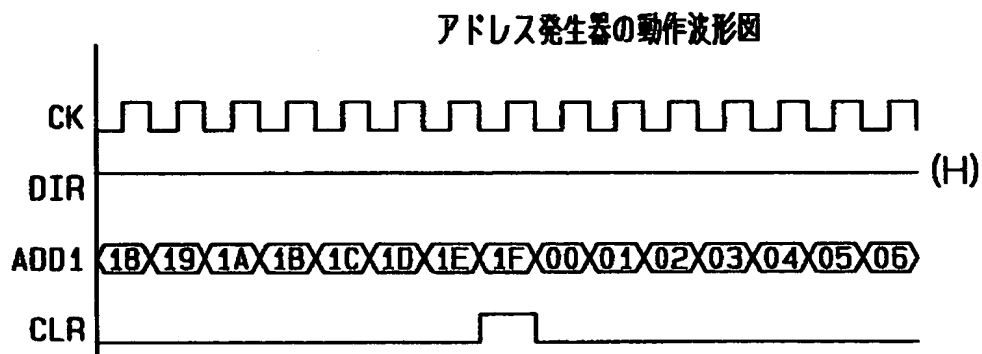
【図 6】



【図7】

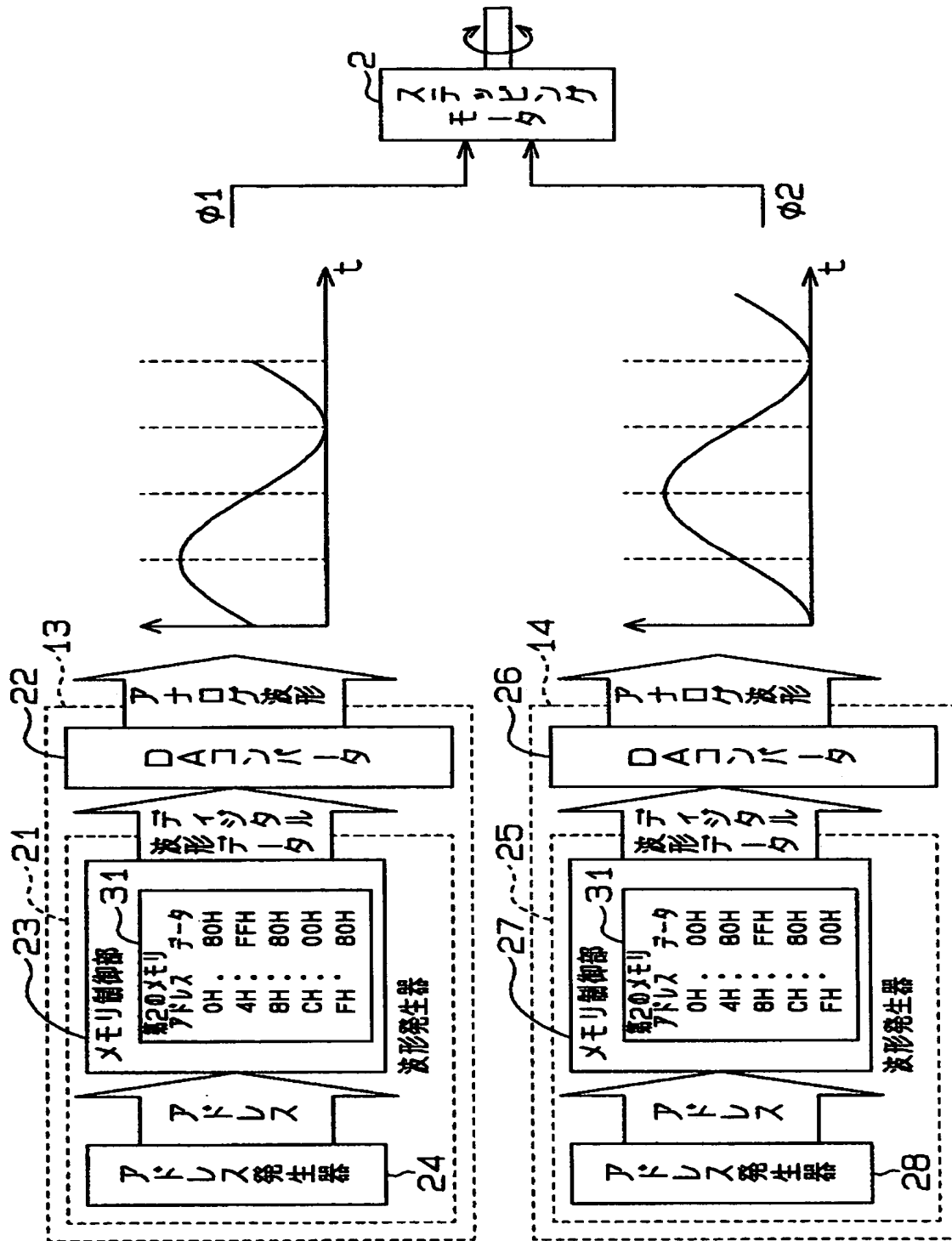


【図8】



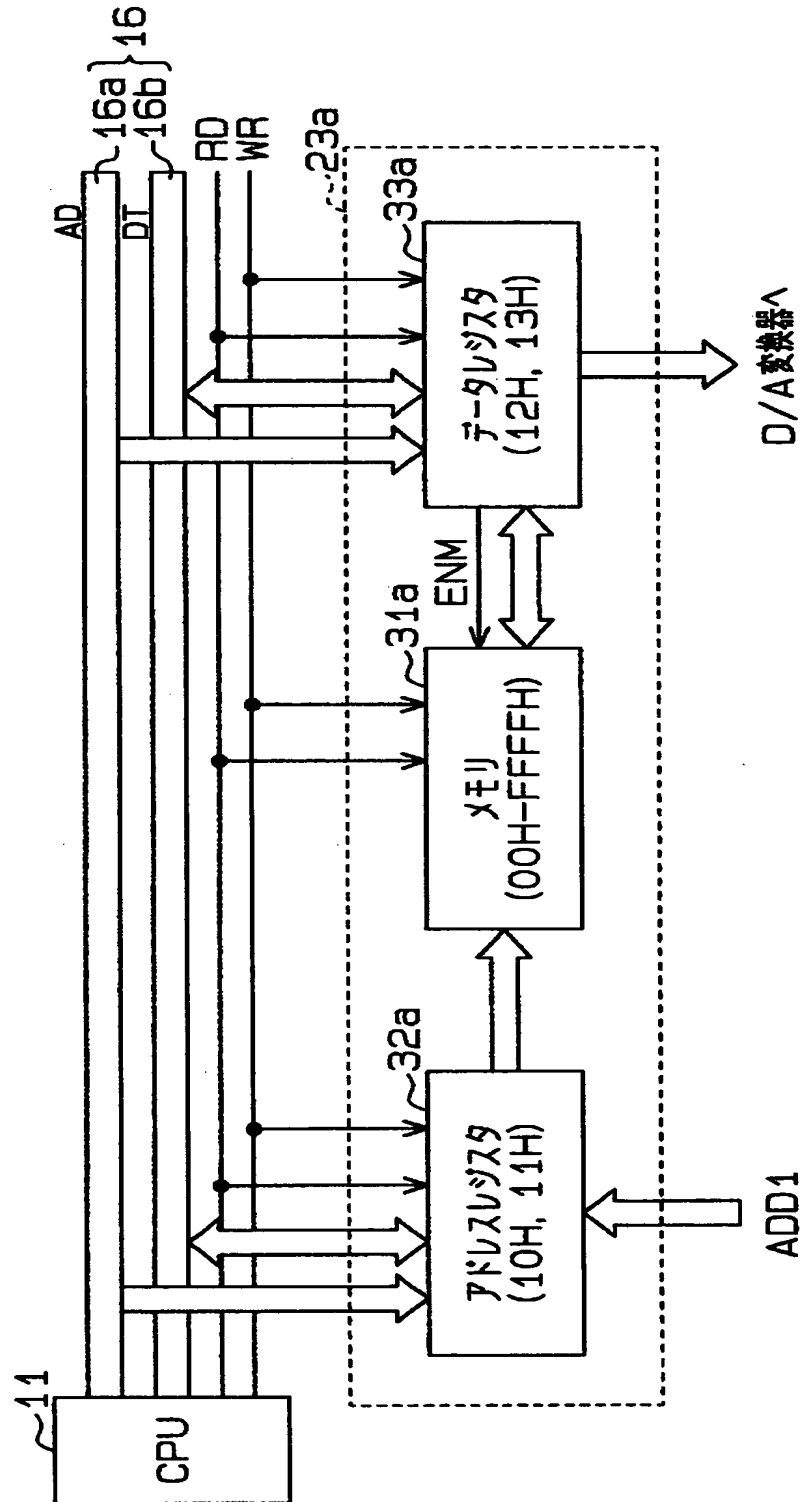
【図9】

第一実施形態の作用説明図



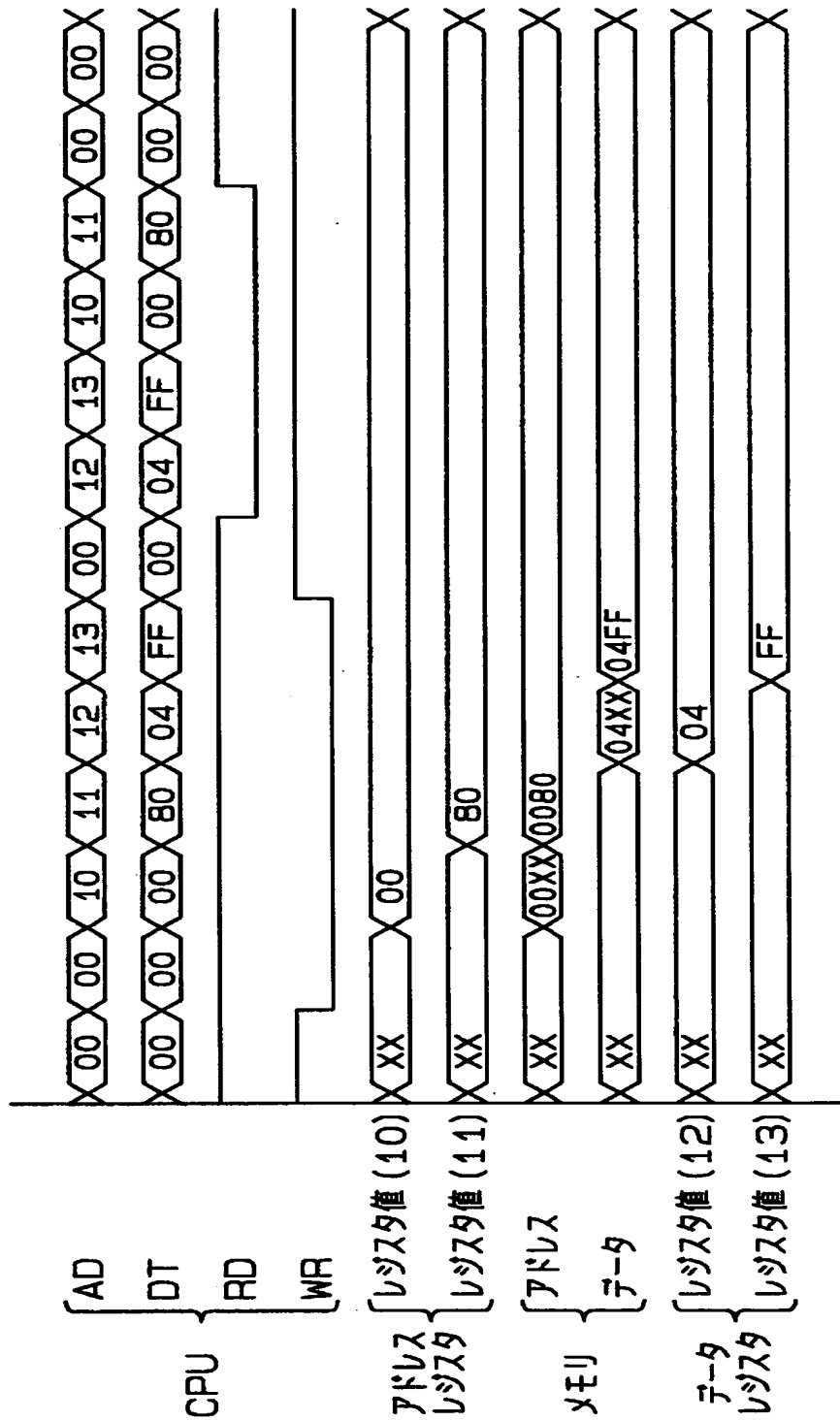
【図10】

別のメモリ制御部のブロック回路図



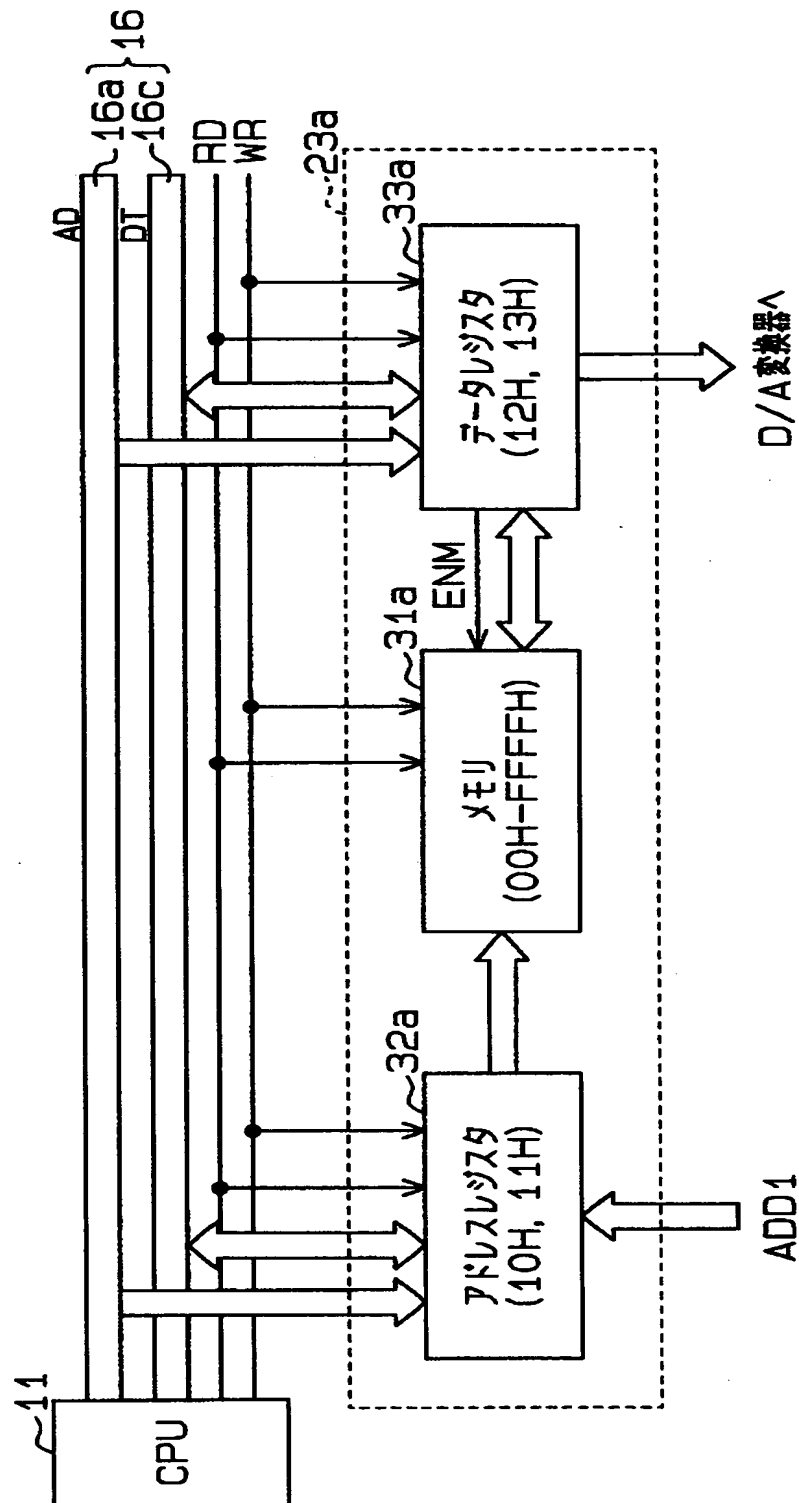
【図11】

図10のメモリ制御部の動作波形図



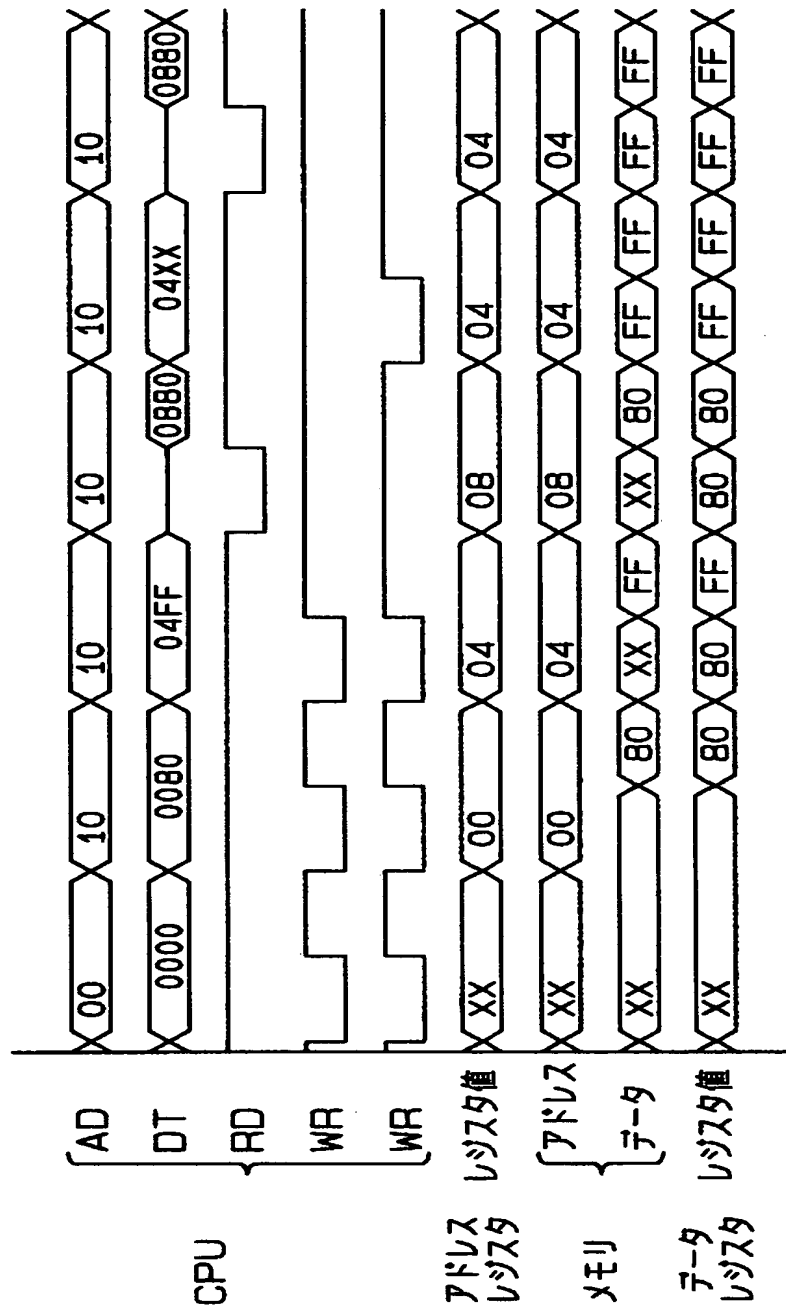
【図12】

別のメモリ制御部のブロック回路図



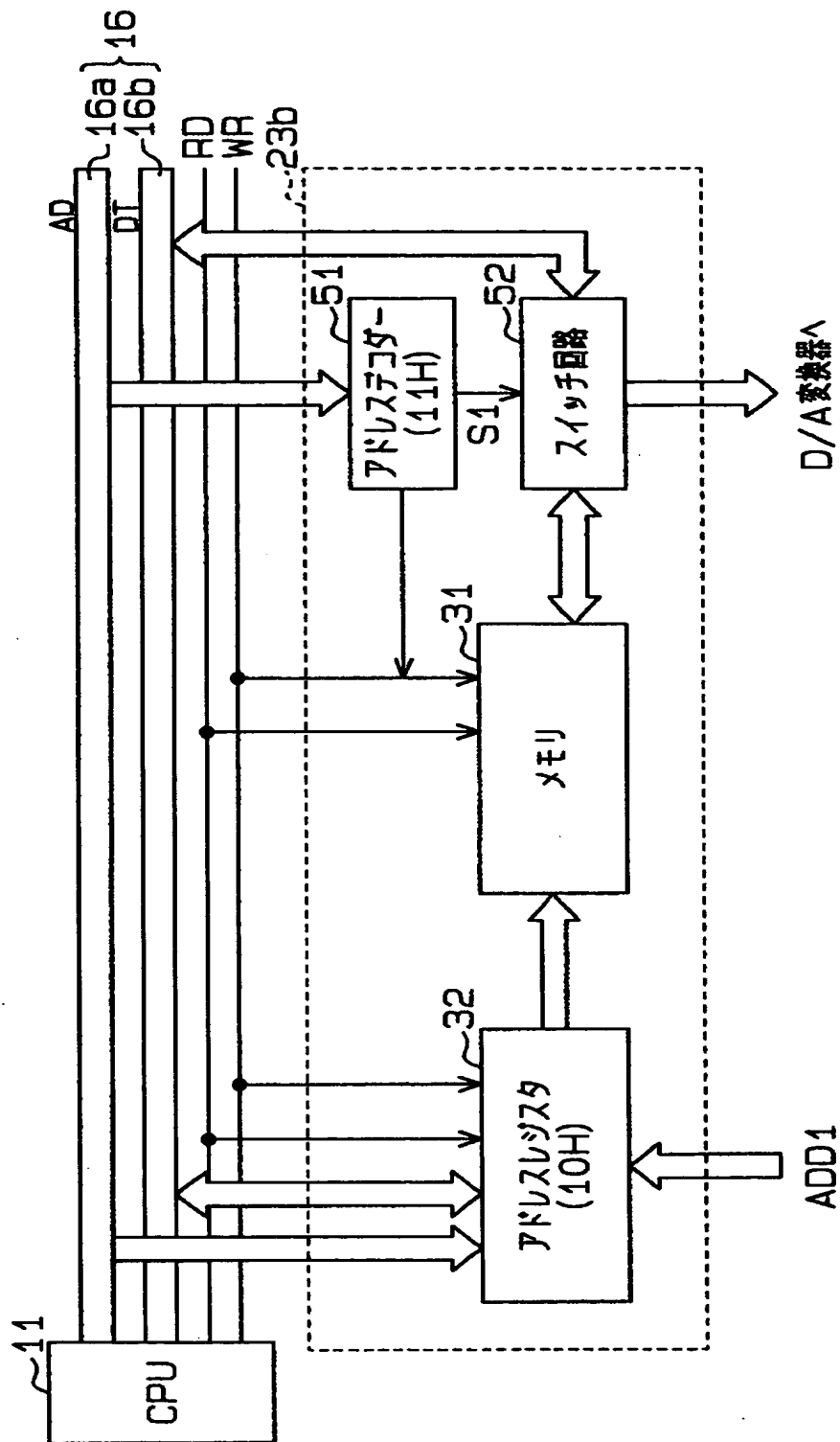
【図 13】

図12のメモリ制御部の動作波形図



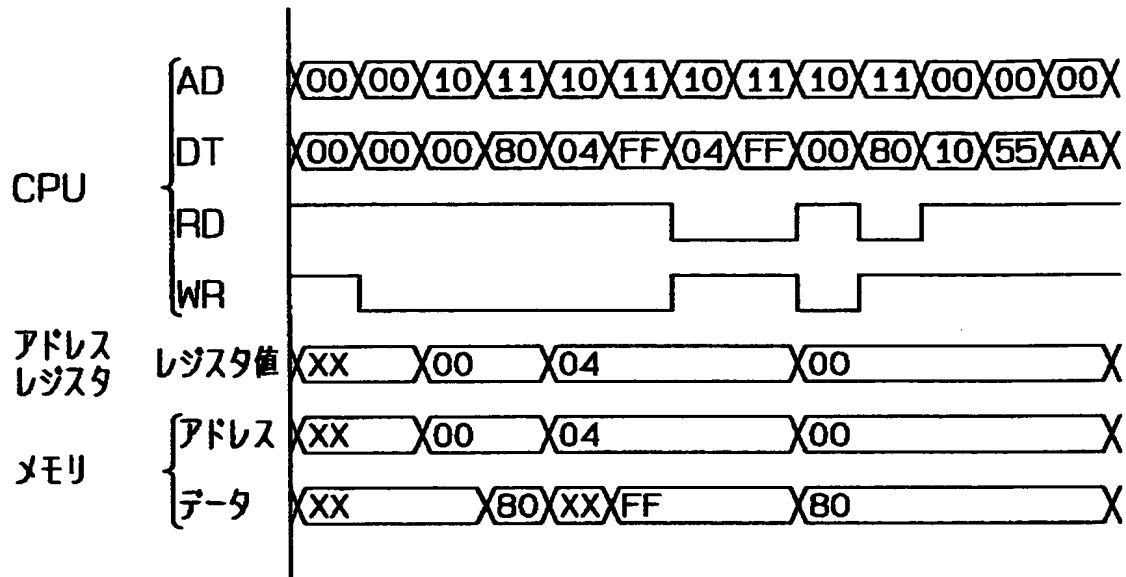
【図 14】

別のメモリ制御部のブロック回路図

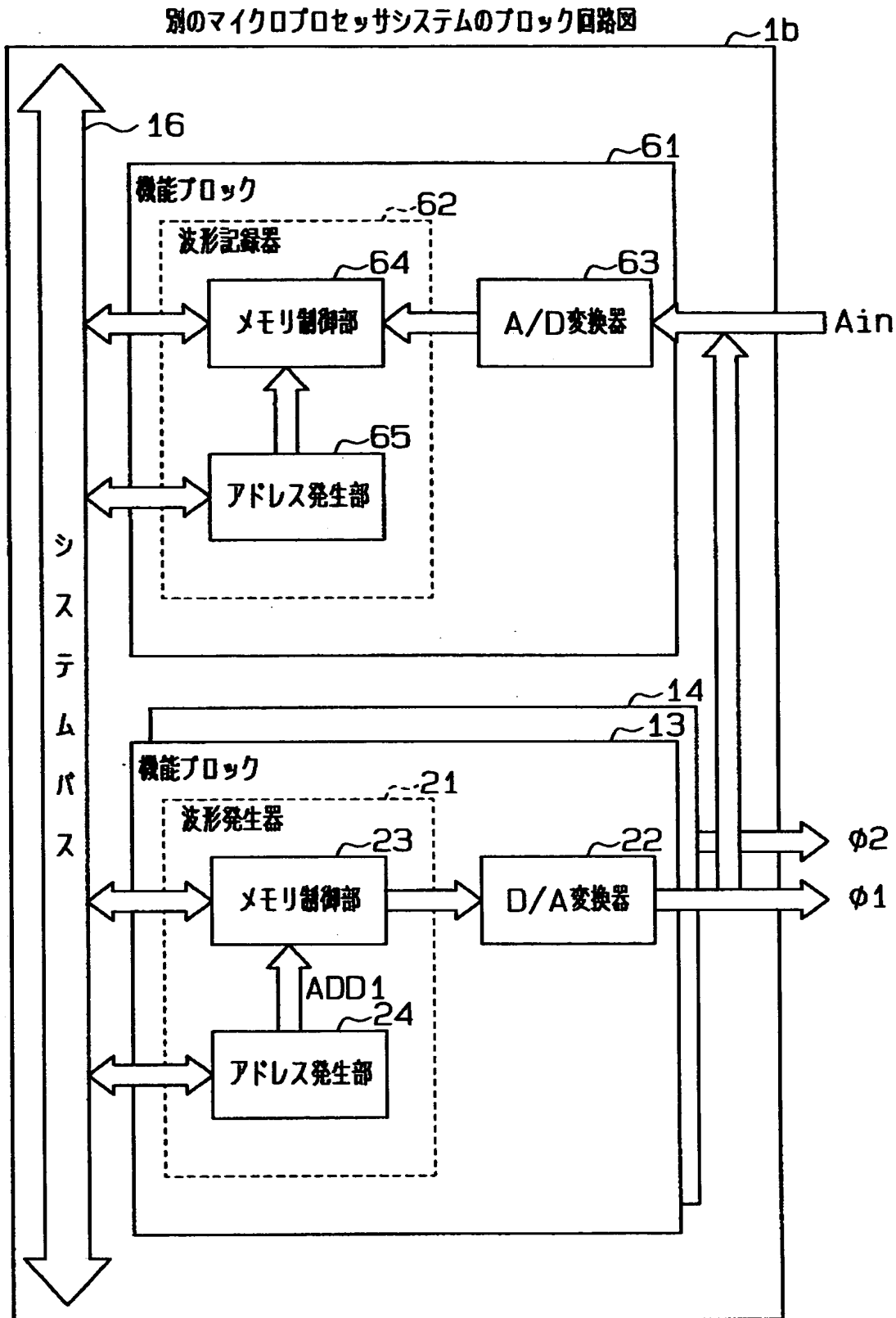


【図 1 5】

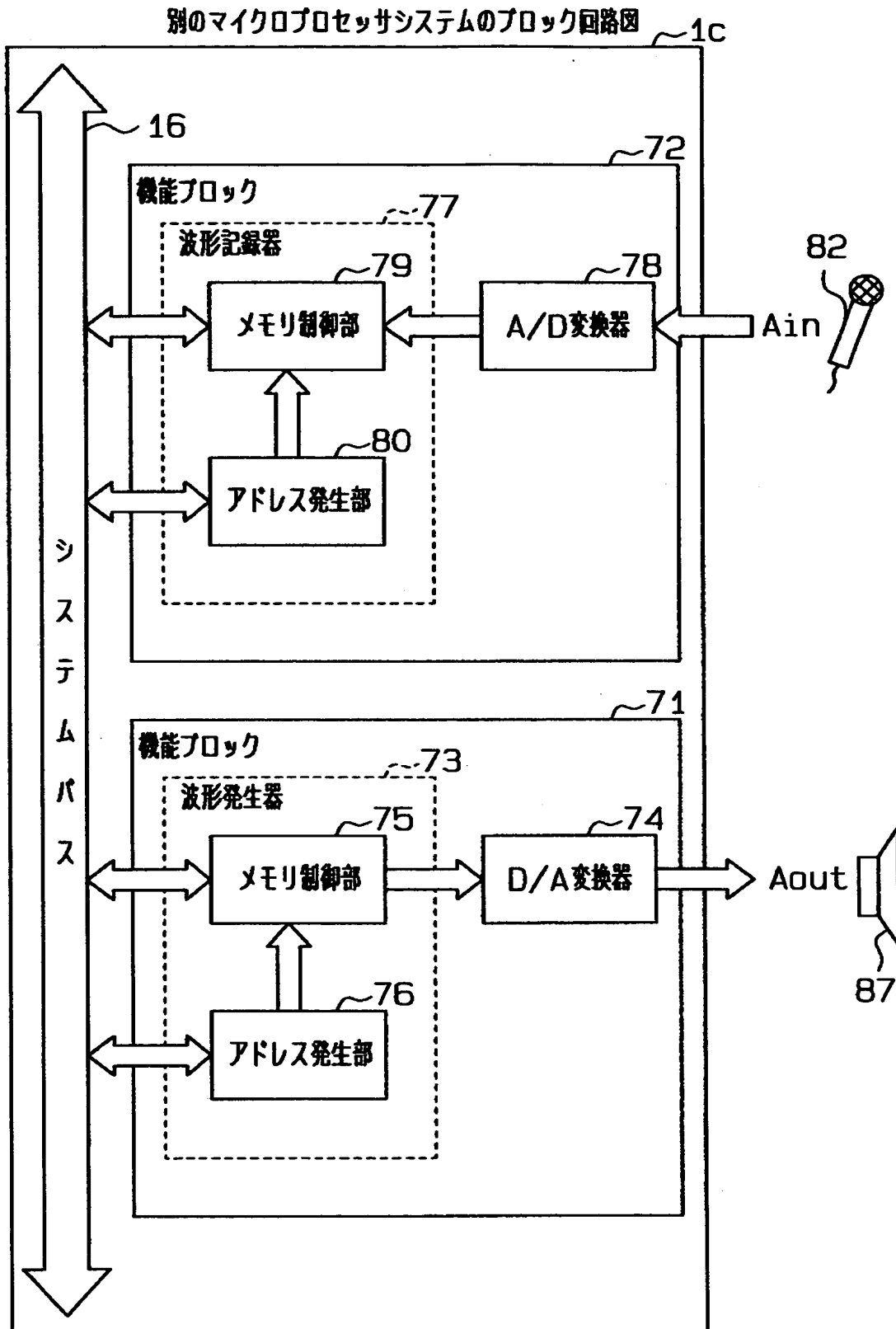
図14のメモリ制御部の動作波形図



【図 1 6】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 アドレスバスと非接続なメモリに対して少ないI/Oポート・アドレスにてデータを入出力することのできるデータ入出力システムを提供すること。

【解決手段】 アドレスレジスタ32はアドレスバス16aに接続され、該アドレスバス16aを介して入力される信号に基づいて選択又は非選択され、選択時にデータバス16bからのデータを記憶する。アドレスバス16aに接続されないメモリ31は、アドレスレジスタ32の記憶データがアドレス信号として入力され、そのアドレス信号に基づいてデータバス16bとの間でデータの入出力を行う。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日	1990年 9月 6日
[変更理由]	新規登録
住 所	愛知県春日井市高蔵寺町2丁目1844番2
氏 名	富士通ヴィエルエスアイ株式会社